

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410000324.1

[45] 授权公告日 2007 年 8 月 8 日

[11] 授权公告号 CN 1331226C

[22] 申请日 2004.1.7

[21] 申请号 200410000324.1

[73] 专利权人 世界先进积体电路股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 林昆贤 林耿立

[56] 参考文献

CN1438705A 2003.8.27

CN1377087A 2002.10.30

US5894150A 1999.4.13

JP6-204241A 1994.7.22

CN1414639A 2003.4.30

JP2003-273349A 2003.9.26

审查员 刘静_1

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 王一斌

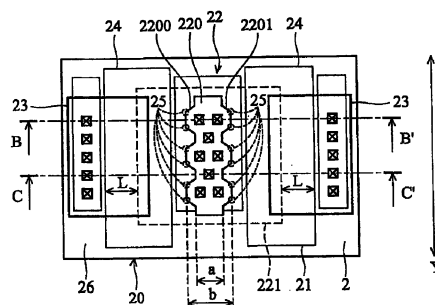
权利要求书 4 页 说明书 6 页 附图 7 页

[54] 发明名称

具静电放电防护耐受能力的高压组件结构

[57] 摘要

本发明是关于一种具静电放电防护耐受能力的高压组件结构，是适用于一静电放电防护电路中，此 ESD 防护组件是包括沟道区域、漏极区域及源极区域，其主要特征是在于漏极区域的宽度是沿一纵轴方向而变化，使每一漏极区域的侧边边缘至对应的沟道区域侧边呈不等距离，使漏极区域外围形成多个放电转角 (corner)，以增进静电放电导通效能及增进导通的均匀度。



1、一静电放电防护组件结构，包括：

一基板；

一沟道区域，形成于该基板表面的既定位置上，该沟道区域具有一第一侧及一第二侧；

一源极区域，邻接于该第一侧；及

一漏极区域，邻接于该第二侧，是包括一重掺杂区域及形成于该重掺杂区域下方的一轻掺杂阱区，其中，该重掺杂区域的宽度是沿一纵轴方向而变化，使该重掺杂区域的一侧边至该沟道区域的该第二侧呈不等距离。

2、根据权利要求1所述的静电放电防护组件结构，其特征是：该静电放电防护组件是一N型金属氧化半导体组件，其中该源极区域是N型掺杂区；该漏极区域的该重掺杂区域及该轻掺杂阱区是N型掺杂区该基板是一P型掺杂基板。

3、根据权利要求2所述的静电放电防护组件结构，其特征是：该源极区域是耦接至一接地端，该重掺区域是耦接至一输出入垫片。

4、根据权利要求1所述的静电放电防护组件结构，其特征是：该静电放电防护组件是一P型金属氧化半导体组件，其中该源极区域是P型掺杂区；该漏极区域的该重掺杂区域及该轻掺杂阱区是P型掺杂区，该基板是N型掺杂基板。

5、根据权利要求4所述的静电放电防护组件结构，其特征是：该源极区域是耦接至一高电源端，该重掺杂区域是耦接至输出入垫片上。

6、根据权利要求1所述的静电放电防护组件结构，其特征是：在该重掺杂区域及该沟道区域之间，更进一步设有一绝缘层。

7、根据权利要求6所述的静电放电防护组件结构，其特征是：该重掺杂区域被该绝缘层所环绕，且该重掺杂区域与该绝缘层相接触。

8、根据权利要求6所述的静电放电防护组件结构，其特征是：该重掺杂区域被该绝缘层所环绕，且该重掺杂区域与该绝缘层不接触。

9、根据权利要求8所述的静电放电防护组件结构，其特征是：该绝缘层是浅通道绝缘层。

10. 根据权利要求1所述的静电放电防护组件结构，其特征是：该重掺杂区域的该侧边形成数个梯形凸出。

11. 根据权利要求1所述的静电放电防护组件结构，其特征是：该重掺杂区域的该侧边形成数个三角状凸出。

12. 根据权利要求1所述的静电放电防护组件结构，其特征是：该重掺杂区域的该侧边形成数个圆弧状凸出。

13. 根据权利要求1所述的静电放电防护组件结构，其特征是：该静电放电防护组件具有多个沟道区域以及多个源极区域，该漏极区域是一共享漏极，以形成一指状金属氧化半导体。

14. 根据权利要求1所述的静电放电防护组件结构，其特征是：该沟道区域上设有栅极结构，且该栅极结构耦接到一电源线或是受一前置驱动电路控制。

15. 一指状静电放电防护组件结构，包括：

一基板；

二源极区域，形成于该基板表面的既定位置上；

一漏极区域，设于该源极区域之间，该漏极区域具有至少一重掺杂区域及形成于该重掺杂区域下方的一轻掺杂阱区；

二沟道区域，各该沟道区域是形成于一对应源极区域及该漏极区域之间；及

其中，该重掺杂区域的宽度是沿一纵轴方向而变化，使该重掺杂区域的一侧边至该对应沟道区域呈不等距离。

16. 根据权利要求15所述的静电放电防护组件结构，其特征是：该静电

防护组件是一 N 型金属氧化半导体组件，各该源极区域是 N 型掺杂区；该漏极区域的该重掺杂区域及该轻掺杂阱区是 N 型掺杂区，该基板是一 P 型掺杂基板。

17. 根据权利要求 16 所述的静电放电防护组件结构，其特征是：该源极区域是耦接至一接地端，该重掺区域是耦接至一输出输入垫片。

18. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该静电防护组件是一 P 型金属氧化半导体组件，各该源极区域是 P 型掺杂区；该漏极区域的该重掺杂区域及该轻掺杂阱区是 P 型掺杂区，该基板是 N 型掺杂基板。

19. 根据权利要求 18 所述的静电放电防护组件结构，其特征是：各该源极区域是耦接至一高电源端，该重掺杂区域是耦接至一输出输入垫片上。

20. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：在该重掺杂区域及该对应沟道区域之间，更进一步设有一绝缘层。

21. 根据权利要求 20 所述的静电放电防护组件结构，该重掺杂区域被该绝缘层所环绕，且该重掺杂区域与该绝缘层相接触。

22. 根据权利要求 20 所述的静电放电防护组件结构，该重掺杂区域被该绝缘层所环绕，且该重掺杂区域与该绝缘层不接触。

23. 根据权利要求 22 所述的静电放电防护组件结构，其特征是：该绝缘层是浅通道绝缘层。

24. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该漏极区域具有单一重掺杂区域，并于该重掺杂区域的第一侧边及第二侧边形成数个梯形凸出。

25. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该漏极区域具有单一重掺杂区域，并于该重掺杂区域的第一侧边及第二侧边形成数个三角状凸出。

26. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该漏极

区域具有单一重掺杂区域，并于该重掺杂区域的第一侧边及第二侧边形成有数个圆弧状凸出。

27. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该漏极区域具有两个重掺杂区域，并于各该重掺杂区域于邻近沟道区域的侧边形成数个梯形凸出。

28. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该漏极区域具有两个重掺杂区域，并于各该重掺杂区域于邻近沟道区域的侧边形成数个三角状凸出。

29. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：该漏极区域具有两个重掺杂区域，并于各该重掺杂区域于邻近沟道区域的侧边形成数个圆弧状凸出。

30. 根据权利要求 15 所述的静电放电防护组件结构，其特征是：各该沟道区域上设有栅极结构，且该栅极结构耦接到一电源线或是受一前置驱动电路控制。

具静电放电防护耐受能力的高压组件结构

技术领域

本发明是有关于一种静电放电防护组件，特别有关于一种应用于高压组件的静电放电防护组件结构。

背景技术

在半导体装置中，静电放电(ESD: electrostatic discharge)经常干燥环境下因碰触带静电体而自芯片的输出入垫(I/O pad)侵入，造成集成电路损伤。

当 CMOS 制程技术缩小到次微米阶段，先进的制程技术，例如更薄的栅极氧化层，更短的通道长度，更浅的漏极/源极接面深度，LDD(低掺杂浓度漏极)结构，以及金属硅化物(silicided)扩散层等，这些先进的制程反而严重地降低 CMOS IC 的静电放电防护能力，根据目前的工业标准，IC 组件中集成电路的输出入端(I/O pad)需能承受超过 2000V 的人体模型 ESD 应力以及超过 200V 的机械模型 ESD 模型，因此，为了防止 ESD 放电造成 IC 内部电路的损害，通常在输出垫片至内部电路间会设置 ESD 防护电路或 ESD 防护组件以防止 ESD 损害。

目前越来越多的自动化及消费型电子产品应用在高压领域中，例如喷墨头驱动 IC 即须使用高压制程，而应用在高压电路的传统 ESD 防护组件结构，以 N 型金氧半场效晶体管(NMOS)为例，其是如图 1a 及图 1b 所示，图 1a 是一习知高压 NMOS 晶体管的俯视图；图 1b 则为图 1a 沿着 A-A' 切线的剖面图，NMOS 组件 1 其源极 N+掺杂区 11 与门极 13 是耦接至接地端，漏极 N+掺杂区

12 则耦接至输出/入垫片上(I/O pad)，在漏极 N+掺杂区 12 下方形成一 n 型阱区 14 用以作为缓冲，当发生静电放电时，通过寄生 NPN 双载子晶体管(lateral BJT)的导引(bypass)来保护内部电路。然而，过度集中的 ESD 电流会引起组件的损坏。由于尖端放电的原理，电流多集中在漏极 N+掺杂区 12 的转角 120(corner)处，因此会先由转角 120 处先击穿(breakdown)，使电流路径多集中于转角处，造成电流导通路径分布不均的问题。

美国专利第 6258672 号专利提供另一种 ESD 保护电路，其包括有至少一连接至参考电压源的源极、至少一连接至输出/入垫片及内部电路间的漏极及至少一栅极，其特征为栅极电极区域的宽度是由中央往两旁扩大，但仍无法解决电荷易由转角处先击穿造成导通不均的问题。

发明内容

有鉴于此，本发明的目的就在于提供一高静电放电(electrostatic discharge, ESD)防护组件结构，通过漏极区域侧边边缘至对应的沟道区域侧边呈不等距离，使漏极区域外围形成多个放电转角，以增进静电放电导通效能及增进电性导通的均匀度。

为达上述目的，本发明提供一静电放电防护组件结构，是包括：一基板；一沟道区域，形成于该基板表面的既定位置上，该沟道区域具有一第一侧及一第二侧；一源极区域，邻接于该第一侧；一漏极区域，邻接于该第二侧，是包括一重掺杂区域及形成于该重掺杂区域下方的一轻掺杂阱区，其中，该重掺杂区域的宽度是沿一纵轴方向而变化，使该重掺杂区域的一侧边至该沟道区域的该第二侧呈不等距离。

通过本发明，可以通过漏极区域中重掺杂区域的宽度变化，使漏极区域侧边形成多个放电转角，如此可使电流路径分散，达到增进静电放电导通效能及增进导通的均匀度的功效。

附图说明

图 1a 是一习知 ESD 高压防护组件的俯视图;

图 1b 则为图 1a 沿着 A-A' 切线的剖面图;

图 2a 所示是本发明高静电放电 (electro static discharge, ESD) 防护能力的组件结构第一较佳实施例的俯视图;

图 2b 是图 2a 沿着 B-B' 切线的剖面图;

图 2c 是图 2a 沿着 C-C' 切线的剖面图;

图 3 所示是本发明第二较佳实施例的俯视图;

图 4 所示是本发明第三较佳实施例的俯视图;

图 5 所示是本发明第四较佳实施例的俯视图;

图 6 所示是本发明第五较佳实施例的俯视图;

图 7 所示是本发明第六较佳实施例的俯视图;

图 8a 是本发明第七实施例的俯视图;

图 8b 是图 8a 沿着 B-B' 切线的剖面图;

图 9 是本发明第八实施例的剖面图。

符号说明:

- | | |
|--|-------------------|
| 1 - ESD 防护组件; | 11 - 源极 N+掺杂区; |
| 12 - 漏极 N+掺杂区; | 13 - 沟道区域; |
| 14 - n 型阱区; | 20、21 - NMOS 晶体管; |
| 2 - 基板; | 22、51 - 漏极区域; |
| 23、50 - 源极区域; | 24 - 沟道区域; |
| 240 - 栅极结构; | |
| 220、220'、220''、222、222'、222'' - 重掺杂区域; | |
| 221 - 轻掺杂阱区; | |

25、25'、25''、27、27'、27'' - 放电转角；

40、41、42 - 有源区域。

具体实施方式

图 2a 所示是本发明一第一实施例的俯视图；图 2b 是图 2a 沿着 B-B' 切线的剖面图；图 2c 是图 2a 沿着 C-C' 切线的剖面图，在本实施例中的静电放电防护组件是一指状(finger-type)排列的 NMOS 晶体管 20，其是包括一基板 2、一漏极区域 22、设于漏极区域 22 左右两侧的源极区域 23 及设于漏极区域 22 及源极区域 23 间的沟道区域 24。

该漏极区域 22 是一 N 型掺杂区，是耦接至输出垫片 3 上，其是包括一重掺杂区域 220 及形成于重掺杂区域 220 下方的轻掺杂阱区 221，其中，该重掺杂区域的 220 宽度是沿一纵轴 Y 方向于第一宽度 a 及第二宽度 b 间变化，使重掺杂区域 220 于对应于两沟道区域 24 的第一侧边 2200 及第二侧边 2201 形成数个梯形凸出，并形成多个放电转角 25，在重掺杂区域 220 的周边环绕设有浅通道绝缘层(STI) 26。上述两源极区域 23 是 N 型掺杂区，其是耦接至接地端(GND)，两源极区域下方则为 P 型掺杂区(P-tube)。在两沟道区域 24 上形成有栅极结构 240，其是分别形成于源极区域 23 及漏极区域 220 间的基板 2 表面上，两栅极结构 240 是耦接到一电源线或是受一前置驱动电路控制(图中未示)。

图 3 是本发明一第二实施例的俯视图，其大部分结构包括漏极区域 22 的轻掺杂阱区 221、浅通道绝缘层 26；源极区域 23 及沟道区域 24 是与前一实施例相同，在此不再赘述。其主要不同是在漏极区域 22 中的重掺杂区域 220' 于对应于两沟道区域 24 的第一侧边 2200 及第二侧边 2201 形成数个三角状凸出，使其具有多个放电转角 25'。

图 4 是本发明一第三实施例的俯视图，其大部分结构包括漏极区域 22

的轻掺杂阱区 221、浅通道绝缘层 26；源极区域 23 及沟道区域 24 是与前一实施例相同，在此不再赘述。其主要不同是在漏极区域 22 中的重掺杂区域 220'' 于对应于两沟道区域 24 的第一侧边 2200 及第二侧边 2201 形成数个圆弧状凸出，使其形成多个放电转角 25''。

图 5 是本发明一第四实施例的俯视图，其大部分结构包括漏极区域 22 的轻掺杂阱区 221、浅通道绝缘层 26；源极区域 23 及沟道区域 24 是与前一实施例相同，在此不再赘述。其主要不同是漏极区域 22 中包括有两个重掺杂区域 222，且每一重掺杂区域 222 于邻近对应沟道区域 24 的侧边形成数个梯形凸出，使其形成多个放电转角 27。

图 6 是本发明一第五实施例的俯视图，其大部分组件例如包括漏极区域 22 的轻掺杂阱区 221、浅通道绝缘层 26；源极区域 23 及沟道区域 24 皆与前一实施例相同，在此不再赘述，其主要不同处是在漏极区域 22 中的两个重掺杂区域 222' 于邻近对应沟道区域 24 的侧边形成数个三角状凸出，使其形成多个放电转角 27'。

图 7 是本发明一第六实施例的俯视图，其大部分组件例如包括漏极区域 22 的轻掺杂阱区 221、浅通道绝缘层 26；源极区域 23 及沟道区域 24 皆与前一实施例相同，在此不再赘述，其主要不同处是在漏极区域 22 中的两个重掺杂区域 222'' 于邻近对应沟道区域 24 的侧边形成数个圆弧状凸出，使其形成多个放电转角 27''。

如图 8a 及图 8b 所示，是本发明一第七实施例的俯视图及沿着 B-B' 切线的剖面图，其是通过一有源式掩模(图中未视)定义出有源区域 40、41 及 42，然后再于有源区域 40、42 上形成源极区域 23 及于有源区域 41 上形成漏极区域 22 的重掺杂区域 222，而在本实施例中，其重掺杂区域 222 的两侧边是梯形，亦可如前述为三角形、弧形的结构。其绝缘区域 26 不与重掺杂区域 22 相接触(如图 8b 所示)。

上述各实施例亦可以例如 P 型金氧半晶体管(PMOS)达成，若如图 9 所示

使用 PMOS 晶体管，则其源极区域 50 为 P 型掺杂区；漏极区域 51 的重掺杂区域 510 及轻掺杂阱区 511 为 P 型掺杂区，该基板 52 为 N 型掺杂基板，其中源极区域 50 是耦接至高电源端 (VDD)，漏极区域 51 则耦接至输出入垫片 (I/O pad) 上。

通过上述实施例，本发明的确可以通过漏极区域中重掺杂区域的宽度变化，使漏极区域侧边形成多个放电转角，如此可使电流路径分散，达到增进静电放电导通效能及增进导通的均匀度的功效。

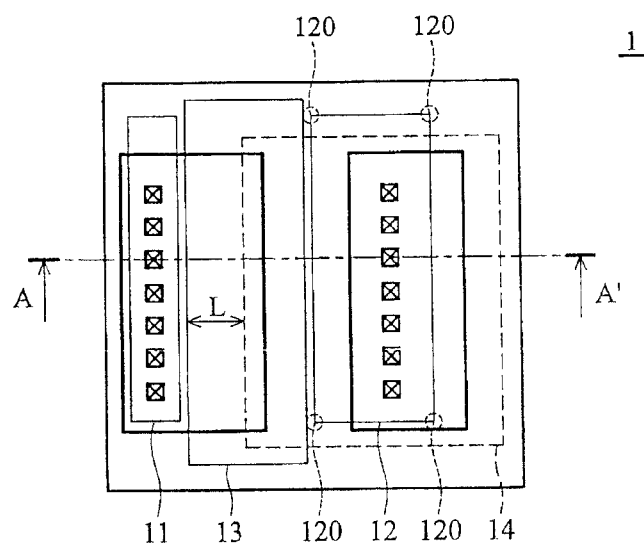


图 1a

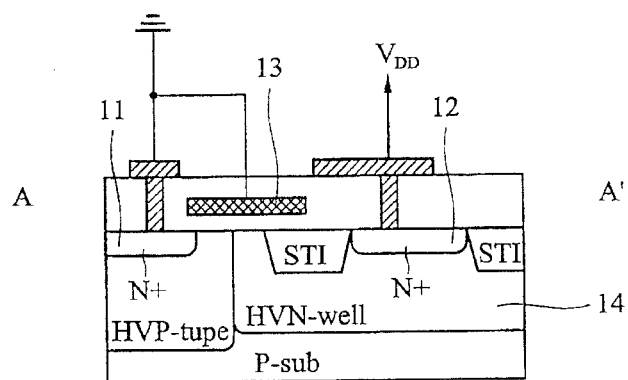


图 1b

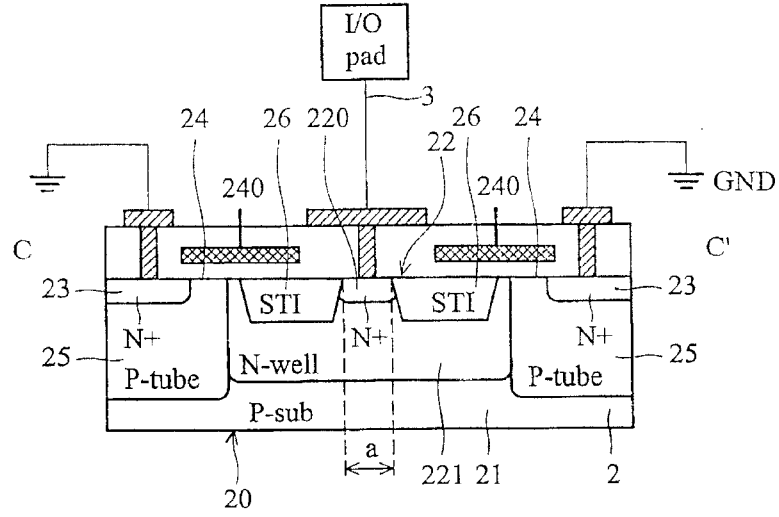


图 2c

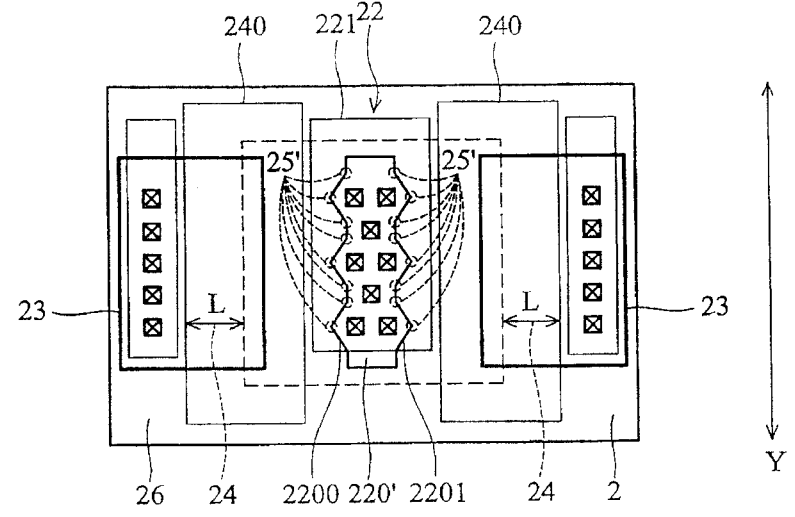


图 3

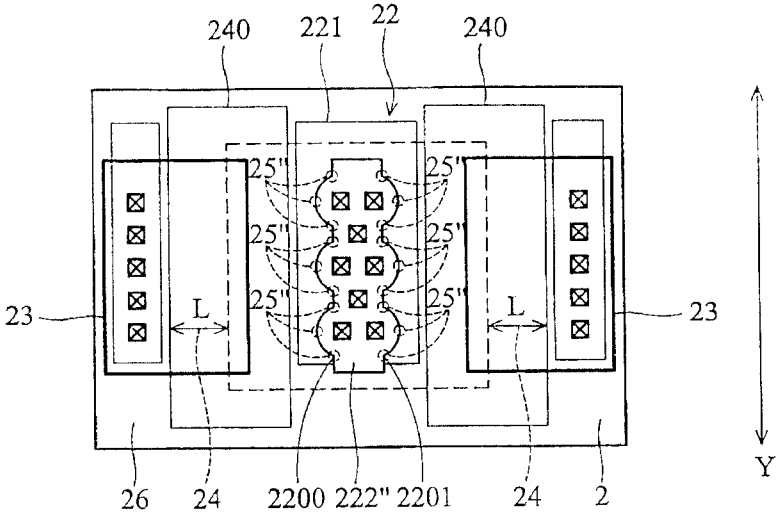


图 4

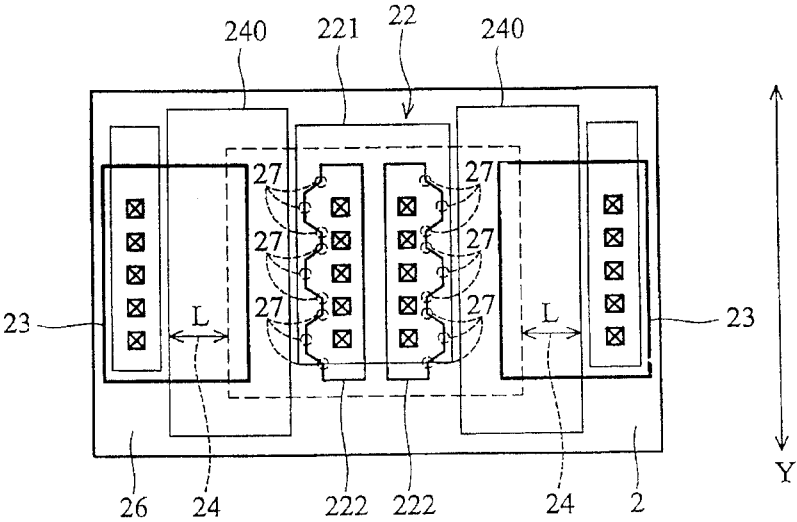


图 5

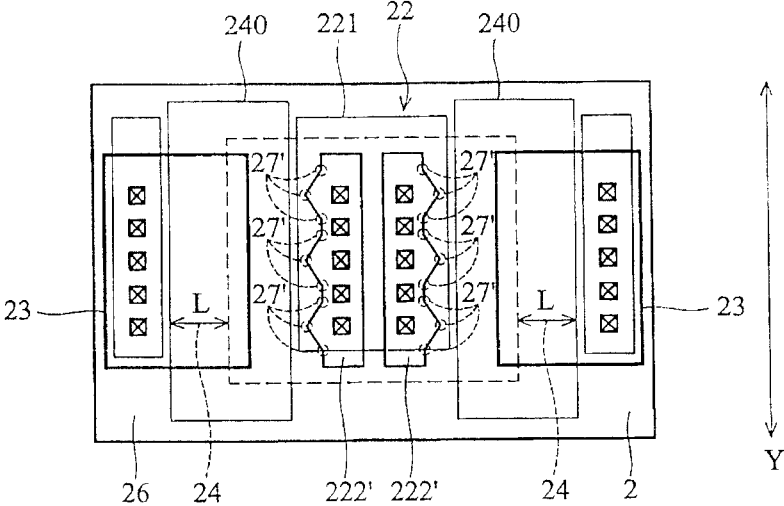


图 6

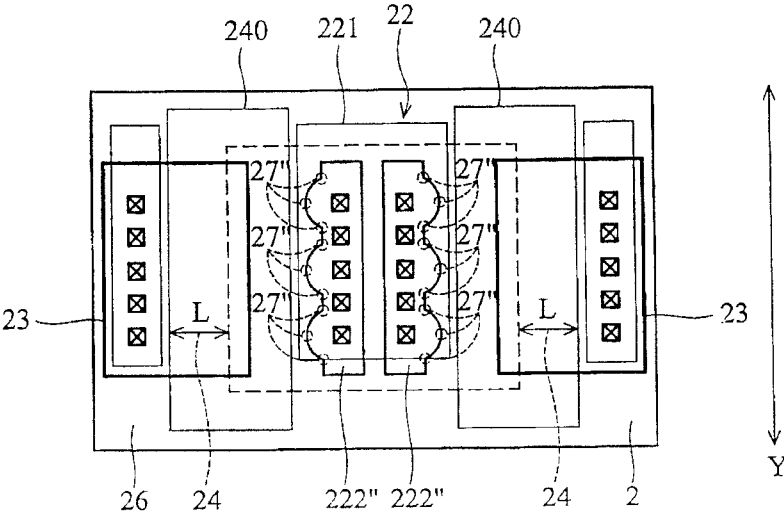


图 7

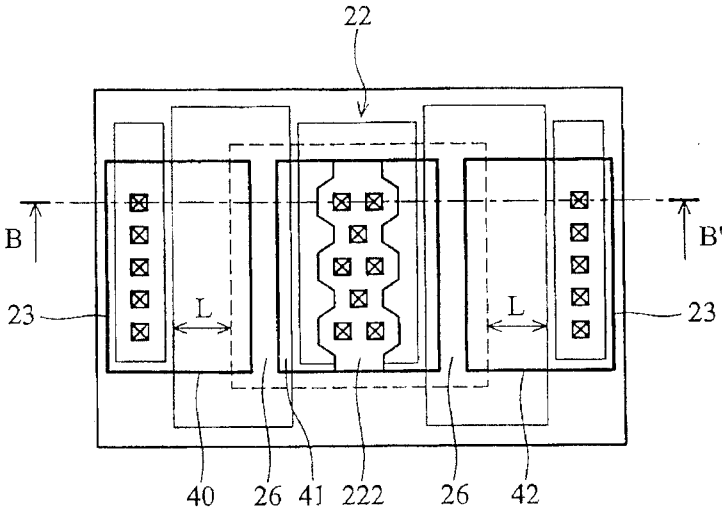


图 8a

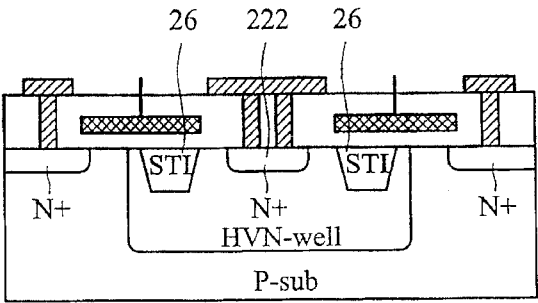


图 8b

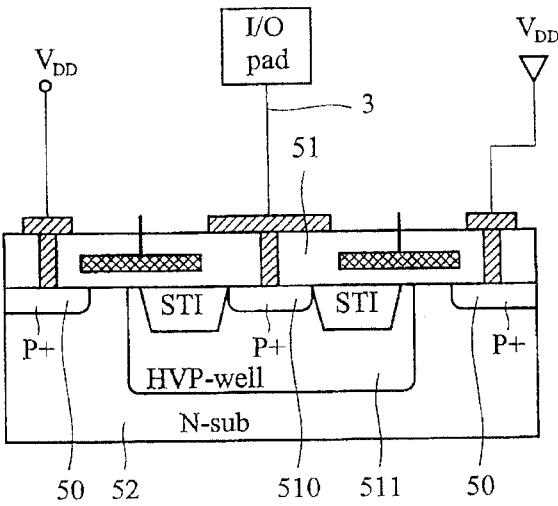


图 9